

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-120758

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

G11C 11/15

(21)Application number : 09-277687 (71)Applicant : SONY CORP

(22)Date of filing : 09.10.1997 (72)Inventor : ERIC MAIKEN

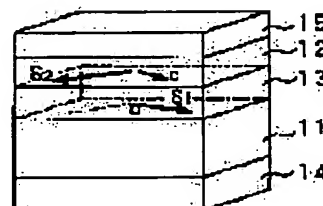
(54) NONVOLATILE RANDOM ACCESS MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a memory capable of enhancing a recording density sharply and also capable of shortening a read time and reducing power consumption.

SOLUTION: This memory is constituted by allowing memory cells whose memory states are able to be changed over by the injecting of spinngly polarized electrons to be arranged. Concretely, the memory cell is constituted by allowing, for example, a first ferromagnetic layer and a second ferromagnetic layer to be laminated with a normal magnetic layer 13 and the direction of the magnetization of the first ferromagnetic layer is fixed and a memory state is changed over by the direction of the magnetization of the second ferromagnetic layer.

That is, this memory is a memory applied with the propagation theory of a spinngly polarized electron flow as a new technology storing information in magnetic memory cells and is assemblable with the array of mesoscopic multilayer metallic devices. Then, the memory state in an individual cell corresponds to one of two stable orientations of magnetizations on the plane of a ferromagnetic film switching layer. These states are switchable by injecting a shinningly plarized electron flow in memory cells.



LEGAL STATUS

[Date of request for examination] 20.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of

rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-120758

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶

G 1 1 C 11/15

識別記号

F I

G 1 1 C 11/15

審査請求 未請求 請求項の数14 O L (全 9 頁)

(21) 出願番号

特願平9-277687

(22) 出願日

平成9年(1997)10月9日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

エリック マイケン

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人

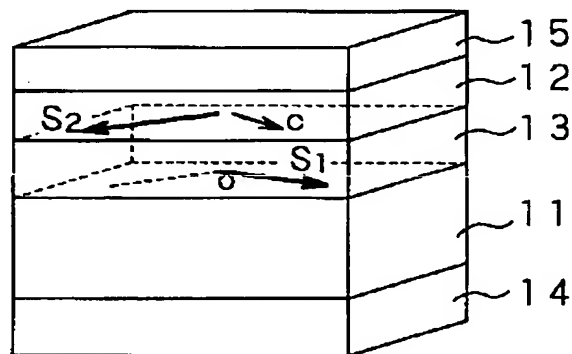
弁理士 小池 晃 (外2名)

(54) 【発明の名称】 不揮発性ランダムアクセスメモリー装置

(57) 【要約】

【課題】 記憶密度を大幅に高めることが可能で、読み取り時間の短縮や消費電力の削減が可能な新規なメモリー装置を提供する。

【解決手段】 本発明の不揮発性ランダムアクセスメモリー装置は、スピン偏極した電子の注入によってメモリー状態が切り換えられるメモリーセルが配列されてなる。メモリーセルは、具体的には、例えば第1の強磁性層と第2の強磁性層とが常磁性層を介して積層されてなり、第1の強磁性層の磁化の向きが固定されるとともに、第2の強磁性層の磁化の向きによりメモリー状態が切り換えられる。すなわち、このメモリー装置は、磁気メモリーセル内に情報を記憶する新技術としてスピン分極電子流の伝搬理論を適用したものであり、メソスコピック多層金属デバイスのアレイで組立可能である。個々のセル内のメモリー状態は強磁性膜スイッチング層の面内における磁化の2つの安定した配向の1つに対応している。これらの状態は記憶セル内にスピン偏極した電子流を注入することによりスイッチング可能である。



【特許請求の範囲】

【請求項1】 スピン偏極した電子の注入によってメモリー状態が切り換えられるメモリーセルが配列されてなる不揮発性ランダムアクセスメモリー装置。

【請求項2】 各メモリーセルにそれぞれ電子を注入するための書き込み線が接続されていることを特徴とする請求項1記載の不揮発性ランダムアクセスメモリー装置。

【請求項3】 上記メモリーセルは、第1の強磁性層と第2の強磁性層とが常磁性層を介して積層されてなり、第1の強磁性層の磁化の向きが固定されるとともに、第2の強磁性層の磁化の向きによりメモリー状態が切り換えられることを特徴とする請求項1記載の不揮発性ランダムアクセスメモリー装置。

【請求項4】 上記メモリーセルの上下に電極となる常磁性金属層が積層されていることを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【請求項5】 上記第1の強磁性層の厚さが第2の強磁性層の厚さよりも大であることを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【請求項6】 上記第1の強磁性層に接して第1の強磁性層の磁化の向きを固定する磁化固定化層が積層されていることを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【請求項7】 上記磁化固定化層が反強磁性体よりなることを特徴とする請求項6記載の不揮発性ランダムアクセスメモリー装置。

【請求項8】 上記磁化固定化層が一方の電極を兼ねていることを特徴とする請求項6記載の不揮発性ランダムアクセスメモリー装置。

【請求項9】 上記第2の強磁性層の厚さが5原子層以下であることを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【請求項10】 上記常磁性層の厚さが動作温度でのスピニコヒーレンス長より小さいことを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【請求項11】 上記常磁性層の厚さが0.5nm～5μmであることを特徴とする請求項10記載の不揮発性ランダムアクセスメモリー装置。

【請求項12】 上記メモリーセルの面積が0.5nm²～5μm²であることを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【請求項13】 上記メモリーセルの膜厚方向に電流を流したときの巨大磁気抵抗効果によりメモリー状態が読み出されることを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【請求項14】 上記メモリーセルを構成する第2の強磁性層に光を照射したときの磁気カー効果によりメモリー状態が読み出されることを特徴とする請求項3記載の不揮発性ランダムアクセスメモリー装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スピン分極注入によりデータの書き込みが可能な不揮発性ランダムアクセスメモリー装置に関するものである。

【0002】

【従来の技術】 コンピュータや通信機器の急増に伴い、動作速度が速く、小型で、しかも読み取り及び書き込み回数に制約のない不揮発性メモリー素子の開発が進められており、多種多様なランダム・アクセス・メモリー(RAM)が提案されている。

【0003】 例えば、その一つとして、磁気効果を基にしたRAMがあり、スピン・バルブ(又は巨大磁気抵抗効果:GMR)を利用したもの(スピン・バルブRAM)、スピン依存型トンネル効果(SDT)を利用したもの(SDT-RAM)等が知られている。

【0004】 これらの磁気効果を基にしたRAM(磁性RAMメモリ)は、全て記憶層内の磁化状態を変えるために電流の周りの空間に発生する磁場を利用しており、半導体メモリーや強誘電体メモリー等と比較したときに、デバイス構造やその組立が容易であること、書き込み動作の結果として材料の品位の劣化が生ずることがなく完全な非破壊書き込み読み出しサイクルが実現可能であること、等の利点を有する。

【0005】

【発明が解決しようとする課題】 このように数々の利点を有する磁性RAMメモリであるが、問題がないわけではない。

【0006】 例えば、スピン・バルブRAMでは、個々の記憶セルは別々のワード(書き込み)及び検出電流ラインと接続する必要があるが、例えば各ラインがセルを直列に接続する場合、4箇所以上でのワイヤ接続が必要である。

【0007】 また、スピン・バルブRAMでは、隣り合うセル同士は書き込みパルス電流の影響を受ける。セルの密度が高い場合、所定の書き込みセルに対してパルス電流を流すと、これにより発生する磁場中に隣接するセルが重なり、書き込み磁場の大きさの1/2程度にまで近づいたセルの磁気状態に影響を与える。

【0008】 スピン・バルブRAMの自由層を構成する強磁性材料は、書き込み動作時にこれに打ち勝つことができるような強さの保磁力を有していなければならず、このことを考慮すると、セルの寸法(したがって記録密度)の限界値は書き込み電流の大きさによって概ね決まる。書き込み電流はその大きさに直線的に依存する磁場を作り、前記強磁性材料の保磁力の最低限界を10エルステッド、金属中の電流密度の上限値を10⁸A/cm²と仮定すると、単位平方インチ当たり大略10⁹セル程度が最大記録密度となる。この上限値はスピン・バルブRAMに対する本質的な限定ではなく、むしろ比較の基

礎として見積もったものである。

【0009】一方、SDT-RAMでは、強磁性層を分離する絶縁層はピンホール欠陥の無い状態になっていなければならない。こうした高品位の絶縁性スペーサ層の形成は実験室レベルでも非常に困難であり、デバイスの量産を考えたときに大きな問題が生ずるであろうことは想像に難くない。

【0010】また、スピン・バルブRAMと同様、磁化状態の切り替えには接触した励磁線（磁場発生用導線）が要求されるが、デバイスの抵抗が高いため、読み出し用配線を通る電流による磁場で書き込み、すなわちスピンのスイッチングは不可能である。SDT-RAMの高い抵抗は、高い読み出し電圧レベルに関しては有利であるが、信号対雑音比が悪くパワーの損失も大きい。

【0011】本発明は、これら従来の磁性RAMメモリの有する欠点を解消し、記憶密度を大幅に高めることが可能で、読み取り時間の短縮や消費電力の削減が可能な新規なメモリ装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上述の目的を達成するために、本発明の不揮発性ランダムアクセスメモリ装置は、スピン偏極した電子の注入によってメモリ状態が切り換えられるメモリセルが配列されてなることを特徴とするものである。

【0013】上記メモリセルは、具体的には、例えば第1の強磁性層と第2の強磁性層とが常磁性層を介して積層されてなり、第1の強磁性層の磁化の向きが固定されるとともに、第2の強磁性層の磁化の向きによりメモリ状態が切り換えられることを特徴とする。

【0014】本発明のメモリ装置は、磁気メモリセル内に情報を記憶する新技術としてスピン分極電子流の伝搬理論を適用したものである。

【0015】本発明のメモリ装置は、メソスコピック多層金属デバイスのアレイで組立可能であり、個々のセル内のメモリ状態は強磁性膜スイッチング層（第2の強磁性層）の面内における磁化の2つの安定した配向の1つに対応している。

【0016】これらの状態は記憶セル内にスピン偏極した電子流を注入することによりスイッチング可能である。

【0017】また、スイッチング閾値以下の振幅のバルス電流を用い、セル磁気抵抗を監視することにより、2進数情報が読み取られる。

【0018】ディスクを基にした記憶システムで使用される磁気記録媒体では、情報密度が50ギガ・ビット／平方インチに近いものが採用され、結果的に平均平面ビット寸法は100nm程度の値になるものと予想されるが、本発明においては、これと比較して遜色無い情報密度をチップを基にした磁気記憶構造で達成することが可能である。

【0019】薄膜蒸着技術では、いわゆるサブ・ミクロン単位のパターンと原子レベルの寸法に及ぶ厚さを備えたセル構造の作成が可能であるが、これらの寸法範囲での磁化の制御では、磁気についての古典的表現と量子力学的表現の両者を橋渡しする現象に関する考察が必要となる。

【0020】この橋渡しについては、磁気多層膜の電流による励起の機構についての理論的説明を見出すことができる。

10 【0021】この理論的説明では常磁性層で分離された強磁性薄膜の膜面に対して垂直に流れる電子の流れがスピン分極され、個々の強磁性層にスピン角運動量を伝えることが予測される。これにより電子の流れは強磁性層内の巨視的磁化の方向変更を誘起する。

【0022】この機構はスピン変換と名付けられ、遍歴電子で運ばれるスピン電流と併せて強磁性体内の局在化された電子状態のモーメントの相互作用から生じる層間トルクの考察から得られるものである。

【0023】

20 【発明の実施の形態】以下、本発明を適用したメモリ装置の構成について、図面を参照しながら詳細に説明する。

【0024】本発明のメモリ装置は、図1に示すように、メモリ状態がスピン偏極した電子流の注入によって書き換えられる形式のメモリセル1がマトリクス状に配列（例えばN列N行の配列：N×N配列）されてなるものであり、これにより集積回路を構成してなるものである。

30 【0025】各メモリセル1は、例えば図2に示すように、第1の強磁性層である固定層11と第2の強磁性層である自由層12により常磁性層13を挟み込んでなる基本構造を有し、これの上下に常磁性金属層14、15が電極として積層形成されている。

【0026】上記固定層11は、磁化の向きが所定の方向に固定されており、一方、上記自由層12は、スピン分極化電子流により磁化の向きが回転する。そして、この自由層12の磁化の向きを切り換えることで2つのメモリ状態が達成され、これを1、0の信号として読み出すことができる。

40 【0027】上記メモリセルのアドレス方式としては、2種類考えられるが、最も単純な方式として、図3に示すように1個のメモリセル1に対して1本の専用書き込み線2を用いる方式が挙げられる。

【0028】あるいは、図4に示すように、2次元格子状配線3、4の交点にメモリセル1を置き、縦、横の配線3、4への信号の組み合わせでアドレスする、いわゆるxyアドレス方式を採用することも可能である。

50 【0029】上記メモリセル1を構成する各層の材質であるが、先ず、常磁性層13や常磁性金属層14、15については、必ずしも材質は同じでなくともよい。例

例えば、常磁性層13には電子の偏極に有利なものを、常磁性金属層14、15には電極を蒸着やスパッタ法等により容易に作製できる金属を選べばよい。

【0030】具体的には、常磁性層13には、Ag、Au等の反強磁性でない3d金属、4d金属が使用可能である。常磁性層13は、電子を偏極させるのに適していないなければならない。これは常磁性体のフェルミ・ベクトルを強磁性層の少数スピン・バンドまたは多数スピン・バンドに緊密に一致させることで達成される。3d遷移金属の合金で構成された強磁性層に対しては、多数スピン・バンドがAgのバンドにほぼ一致する。3d及び4d列常磁性体の他は、Auがパーマロイとのスピン・ダイオードの作成における分極化層材料として効果的であることが示されている。

【0031】また、Li、Na、Mg、K、Ca等、s電子の伝導がある比較的軽い金属も使用可能である。特に、3d多数スピンバンドとの整合のためには、Li、Ca、Nbが適当である。さらには、Cr、Mn等の反強磁性金属を用いることも可能であり、強磁性層（固定層11、自由層12）にCoを用いた場合には、格子整合の観点からRuも好適である。

【0032】この常磁性層13の厚さは、スピン・コヒーレンスの長さより薄くすることが好ましく、実用的な厚さの範囲は0.5nm～5μmである。

【0033】一方、固定層11や自由層12については、強磁性材料が用いられるが、これらを同じ材料で構成する場合には次の中から選択することが好ましい。

【0034】

単体:	(110) 配向	bcc	Fe
	(001) 配向	bcc	Fe
	C軸面内配向	hcp	Co
	(111) 配向	fcc	Co
	(110) 配向	fcc	Co
	(001) 配向	fcc	Co
2元合金:	Fe _{1-x} Co _x (0<x<1)		
	Ni _{1-x} Fe _x (0<x<0.75)		
	Ni _{1-x} Fe _x (パーマロイ合金)		
3元合金:	MnFeCo		
	FeCoNi		

固定層11と自由層12が同じ材料でない場合、固定層11にギルバート減衰係数が自由層12のそれよりも遥かに大きい材料を選べば、後述の磁化固定化層を設ける必要がなくなる。

【0035】あるいは、固定層11の一軸磁気異方性を自由層12のそれより大きくすることにより磁化固定化層を省略することができる。なお、一軸磁気異方性の調整は、組成、形状によって行う。

【0036】磁化固定化層の省略に関して言えば、固定層11の厚さを自由層12の厚さより厚くすることによって、磁化固定化層を省略することも可能である。

【0037】さらに、電流を偏極させる効率が固定層11と自由層12において異なるものを選ぶことにより、メモリー状態0→1の書き込みと1→0の書き込み時に必要な書き込み電流や書き込み時間を異なった値にすることができる。このような書き込み電流の非対称性は、例えばチップ上の全セルを同時にクリアするとき1個当たりの電流が低くて済む極性を選ぶことができる等、回路構成上の利点がある。

【0038】また、PtMnSb等のホイスラー合金や半金属材料を固定層11や自由層12の偏極電子源として用いることも可能である。

【0039】上記固定層11の磁化は固定されるが、ここで、電子の偏極化は、強磁性体内の交換分裂を最大にする一方、常磁性/強磁性界面における多数スピン電子の反射を最低にすることで達成される。

【0040】一方、強磁性体内の分極は、スレーター・ポーリング曲線の傾向に従う（すなわち、原子あたりの平均モーメントは交換分裂に比例する。）。

【0041】高い偏極を得るのに有効な強磁性体は、Feが豊富なFeCo合金である。3d強磁性体の遍歴d電子は、ほぼ等方的で自由電子状の波動ベクトルを持つので、強磁性体の結晶配向の選択における柔軟性を可能にする。

【0042】また、スイッチ可能な自由層12を構成する強磁性体において、磁化方向が2つの安定した方向となるために、膜内での一軸異方性が挙げられる。これは、強磁性結晶の向きと格子歪みの制御、あるいはバイアス磁場の存在下における強磁性膜の堆積等によって達成可能である。

【0043】このとき、小さな一軸異方性Huの値は、自由層12の磁化状態を切り換えるのに簡便ではあるが、こうしたシステムのC/P電圧測定は微妙な実験条件を必要とする。したがって、一軸異方性Huの小さすぎる材料で作製されたメモリーセルは、実際のデバイスとしては適していない。

【0044】一軸異方性を有するいくつかの強磁性薄膜の分極効率は、以下に示す通りである。

【0045】・結晶磁気異方で定まる易磁化軸方向（〔001〕方向）に沿って磁化された（110）面bcc鉄（高分極化効率、高いHu）

・バイアス磁場の存在下で蒸着され磁場と平行に一軸誘導磁気異方が付与されたパーマロイ（最適な分極化効率、小さいHu）

・面内c軸方向に一軸異方性を備えたhcpコバルト（高い分極化効率、大きいHu）

・Fe格子サイトのx%でのCo置換によりbcc構造をとるFe_{1-x}Co_x合金。膜面は（110）で、〔100〕方向に面内一軸磁気異方性の磁化容易軸を持つ。（最も高い分極化効率、大きいHu）

50 効率良く電流を偏極させるためには、固定層11や自由

層12に用いられる強磁性体と、常磁性スペーサ層13に用いられる常磁性体（非磁性体）の組み合わせが重要である。以下に、好適な組み合わせを例示する。

【0046】a. 常磁性Cr/強磁性Fe

共にbccで格子整合し、且つFeの少数スピンバンドがCrのバンドとうまくつながる。

【0047】b. 常磁性Au/強磁性Fe

共に(001)配向のfcc-Auとbcc-Feが、 $\langle 100 \rangle$ 軸が 45° をなすように互いに回転された面内方位関係を持つように積層された場合、良好なエピタキシャル成長が得られる。

【0048】c. 常磁性Ag/強磁性Fe

同上

d. 常磁性Cu/強磁性Co

共にfccで、エピタキシャル成長させるとCoの多数スピンバンドがCuのバンドに良好につながる。

【0049】e. 常磁性Ru/強磁性Co

共にhcpでエピタキシャル成長する。c軸を面内に持つ方位で成長した場合には、面内に一軸異方性が得られる。

【0050】固定層11の磁化状態を一定に保つためには、先に述べたような材質の選択等を採用してもよいが、磁化固定化層を固定層11と接触させて形成してもよい。磁化固定化層は、反強磁性体によって形成されるもので、固定層11の磁気モーメントがこの磁化固定化層によってピン止めされ、磁化状態が一定に保たれる。

【0051】このとき、磁化固定化層を構成する反強磁性体として金属を用いれば、常磁性金属層14に替えて形成することで、これを電極として兼用することも可能である。

【0052】ピン止め層である磁化固定化層を構成する反強磁性金属材料としては、FeMn、IrMn、NiMn、RhMn、CrMnPt、FeMnPt等を挙げることができるが、高温作動と大きいピンニング場($T=450\text{K}$ まで650エルステッド程度)を提供することからNiMnが好適である。

【0053】一方、自由層12の磁化方向（メモリー状態）が熱や磁場のゆらぎでゆるがず安定に保たれるためには、セル形状、組成、堆積法等を最適化して、異方性磁場 $H_u > 100$ (Oe)の一軸異方性を自由層12に付与することが好ましい。

【0054】磁化が自由層12の面内でスイッチする（方向を変える）ような設計の場合は、短辺が $1\mu\text{m}$ 以下の短冊形状の縦横比によって異方性磁場 H_u を最適化することができる。

【0055】磁化を面内方向と膜面に対して垂直な方向との間でスイッチさせる場合には、十分な垂直磁気異方性を得るために、自由層12の厚さを5原子層以下にすることが好ましい。具体的には、自由層12は大略1nmの厚さとするのが好ましい。これは面内磁化膜と垂

直磁化膜の遷移領域である。

【0056】常磁性金属層14、15は、電極となる部分であり、導電性を有する常磁性金属であればいずれも使用可能である。また、その厚さは、ワイヤボンディングやパターニング技術に依存する。

【0057】上記メモリーセル1の面内寸法は、書き込み電流が作る磁場の影響を抑えるために、 $0.5\text{nm}^2 \sim 5\mu\text{m}^2$ の範囲内とすることが好ましい。

【0058】上述のメモリーセル1においては、図5及び図6に示すように、自由層12への書き込みが磁化スイッチング（磁化反転）の方向を決定する働きのあるパルス電流を用いてなされる。

【0059】例えば、平行磁化整合から反平行磁化整合への書き込みは、図5に示すように、自由層12から固定層11に向かって流れる電子粒子密度パルス J_p により開始される。このとき、電流密度パルス J_e （電流I）は、これとは反対方向に流れる。

【0060】スイッチング電流Iの大きさは接合領域Aにおける臨界値 J_t よりも大きくなっており、ナノ秒単位でパルスを持続することにより自由層12の磁化の向きが反転し、初期状態で平行磁化整合であったものが、書き込み終了時には固定層11と自由層12で磁化の向きが逆方向となり、反平行磁化整合状態となる。

【0061】反平行磁化整合から平行磁化整合への書き込みも同様であるが、図6に示すように、電子の流れや電流の向きは逆である。すなわち、本例の場合、電子粒子密度パルス J_p は固定層11から自由層12に向かって流れ、電流密度パルス J_e （電流I）は固定層11に向かって流れる。

【0062】読み出しは、例えば、メモリーセル1において電流が各層に垂直に流れる(CPP)配置での巨大磁気抵抗効果(GMR)を用いることによって実現することができる。

【0063】図7及び図8は、読み出しの原理を説明するものである。この例では、図7に示すように、平行磁化整合状態に対して臨界値 J_t 以下の読み取り電流パルスを送ると、論理「0」に対応する低電圧パルス V_{low} が得られる。

【0064】逆に、図8に示すように、反平行磁化整合状態に対して臨界値 J_t 以下の読み取り電流パルスを送ると、論理「1」に対応する高電圧パルス V_{high} が得られる。

【0065】このような読み出し方法を採用する場合、読み出しに好都合な5%以上のGMR比($\Delta R/R$)を得るために、固定層11と自由層12は、各々の電子の偏極 P_{01} と P_{02} が下記の数1を満たすものを用いることが好ましい。

【0066】

【数1】

$$\frac{2 \cdot \text{Pol}_1 \cdot \text{Pol}_2}{1 - \text{Pol}_1 \cdot \text{Pol}_2} > 0.3$$

【0067】また、メモリー状態を読み出す方法としては、これに限らず、例えば磁気抵抗効果の代わりに磁気カー効果を利用し、自由層12の磁化方法を調べる方式等も用いることができる。

【0068】上記メモリーセル1のアドレス方式としては、先に述べたように専用書き込み線を用いる方式と、いわゆるxyアドレス方式がある。

【0069】このとき、専用書き込み線を持つアドレス方式では、1個のセルに必要な結線は、接地の電極（常磁性金属層14）の他に、常磁性金属層15で2カ所とし、疑似4端子測定を行う。勿論、各常磁性金属層14、15に各々1カ所結線する2端子測定で十分な場合もあり得る。

【0070】xyアドレス方式では、x、y両配線3、4に同時にパルスが印加されている場合にのみ書き込み臨界電流を越える電流が流れるようにすれば、書き込みメモリーセルを選択することができる。

【0071】このとき、目的の書き込みメモリーセルでパルスの一致を確実なものとするために、x線またはy線の一方（例えばx線）には長いパルスを与え、他方（y線）には短いパルスを与えるようにしてもよい。

【0072】以上が本発明のメモリー装置の概略構成であるが、このメモリー装置においては、メモリー状態の読み出し結果に従って他の回路を動作させて論理演算を行わせるために、例えば読み出し信号を増幅する回路を組み込んでメモリーチップとすることもできる。

【0073】上述のメモリー装置においては、外部からの磁場の印加によるより、むしろスピンの電流の注入により磁化が切り換わるので、セル同士の間に干渉が存在しない。したがって、一辺100nmの面内デバイス寸法を基に最大記憶密度を算出すると、スピン・バルブRAMやSDT-RAMの100倍以上の 10^{11} セル/平方インチが期待できる。

【0074】また、半導体メモリと比較したときには、温度変動に耐え、高い電力密度で動作し、高い放熱を図ることができるという点で、半導体メモリに対して優位性を有する。また、半導体メモリと比較して、作製のためのステップを大幅に削減することができる。

【0075】さらに、SDT-RAMと比較したときには、薄膜絶縁トンネル・バリアの作成が不要であるという点で、製造上、大きな利点を有する。

【0076】

【実施例】次に、実際にメモリー装置を作製した具体的実施例について説明する。

【0077】本実施例では、先ず、図9及び図10に示

(6)

特開平11-120758

10

すように、研磨し清浄し酸化処理したSi基板21を用意し、その中央の2cm×2cmの領域に厚さ0.5μmのAu膜22を蒸着法により成膜した。

【0078】Si基板21は、ドーピング処理されておらず、外径4インチ、厚さ0.01インチである。また、このSi基板21は、Au膜22の蒸着前に予めダイヤモンド・ポイントで刻んでおき、処理された領域（Au膜22形成領域）の切り出しを可能としておいた。

【0079】次に、図11に示すように、Au膜22上にレジスト層23を形成し、これをメモリーセルの形状に応じてパターンニングした。このとき、レジスト層23の厚さは50nm以上とした。

【0080】次いで、図12に示すように、固定層となる第1の強磁性層24、常磁性スペーサとなるAu膜25、自由層となる第2の強磁性層26、及び電極となるAu膜27を順次蒸着法により成膜した。

【0081】第1の強磁性層24は、Ni₈₁Fe₁₉なる組成を有するパーマロイ膜であり、厚さは4nmである。

【0082】成膜に際しては、100エルステッドの磁場存在下で一軸磁気異方性を誘起した。

【0083】Au膜25は、厚さ20nmであり、成膜時には磁場を維持した。

【0084】第2の強磁性層26は、厚さ1nmのパーマロイ膜であり、第1の強磁性層24を成膜する際に印加した磁場と同様の磁場を印加しながら成膜した。

【0085】これにより、第2の強磁性層26のc軸線と第1の強磁性層25の磁化が平行になるように、第2の強磁性層26に一軸磁気異方性が誘起された。

【0086】最後に蒸着されたAu膜27は、厚さ25nmであり、これを成膜することにより、メモリーセルを構成する多層膜28の成膜が完了した。

【0087】多層膜の成膜の後、図13に示すように、先に形成したレジスト層23を溶解除去し、この上に成膜された多層膜をリフトオフしてパターンニングした。

【0088】このリフトオフにより、上記多層膜28のうち、メモリーセルに対応する部分28aと、接地端子として利用される部分28bを残した。パターンニング状態を図14に示す。

【0089】次に、図15に示すように、上記多層膜28のメモリーセルに対応する部分28aや、接地端子として利用される部分28bを覆って、ポリメチルメタクリレートからなる絶縁層29を形成した。

【0090】この絶縁層29の厚さは60nmであり、平坦化膜として機能するものである。

【0091】さらに、図16に示すように、酸素プラズマエッチングにより、上記多層膜28のメモリーセルに対応する部分28aや、接地端子として利用される部分28bを露出させた。

【0092】しかる後、接地端子として利用される部分28bを覆ってフォトレジスト層30を形成した。

【0093】このフォトレジスト層30は、厚さ0.2μmであり、接地端子として利用される部分28bのみを覆い、図17に示すように、メモリーセルに対応する部分28aが露出するようにパターンニングした。

【0094】さらに、図18に示すように、この上に厚さAu膜31を成膜し、図19に示すように、上記フォトレジスト層30を溶解除去してこれをリフトオフした。このパターンニングによるAu膜31の残存形状を図20に示す。

【0095】残存するAu膜31は、メモリーセルの一方の電氣的接点となるもので、電極となるAu膜27と電氣的に接続されている。

*

<演算された値>

偏極効率：	～30%
自由層に対する面内有効異方性磁場：	$H_u = +2K_u/M_s \sim 100e$
スピン数密度：	$\sim 1.9 \times 10^{15} \text{ cm}^{-2}$
ギルバート減衰係数：	～0.01
臨界値 J_t ：	$\sim 8 \times 10^3 \text{ A/cm}^2$
電気抵抗：	～16mΩ
ノイズ電圧(10Hz BW, 77k)：	～0.3nV

<測定値>

実験によるスイッチング電流密度：	$\sim 2 \times 10^4 \text{ A/cm}^2$
スイッチング時間 θ (0～π)：	～0.1μ秒
読み取り中のピーク消費電力：	～0.1pW
読み取り電流密度：	$\sim 4 \times 10^3 \text{ A/cm}^2$
読み取り電流パルス：	～6.4μA, 1Hz
CPP GMR 5% $\Delta R/R$ ：	～(800μΩ/16mΩ)
平均読み取り電圧：	～5nV

以上、本発明を適用した具体的な実施例について説明してきたが、本発明がこの実施例に限定されるものでないことは言うまでもない。

【0100】

【発明の効果】以上の説明からも明らかなように、本発明によれば、従来の磁性RAMメモリの有する欠点を解消することができ、記憶密度を大幅に高め、且つ読み取り時間の短縮や消費電力の削減が可能な新規な不揮発性ランダムアクセスメモリー装置を提供することが可能である。

【0101】また、本発明によれば、半導体メモリーやSDT-RAM等に比べて遥かに製造が容易なメモリー装置を提供することができる。

【図面の簡単な説明】

【図1】本発明を適用したメモリー装置の概略構成を模式的に示す斜視図である。

【図2】メモリーセルの構成例を模式的に示す斜視図である。

【図3】メモリーセルへの専用書き込み線の接続状態を模式的に示す斜視図である。

*【0096】また、フォトレジスト層30を溶解除去することにより、上記接地端子として利用される部分28bが露呈するが、この部分28bは他方の電極、すなわち第1の強磁性層24の電極となるAu膜22と電氣的に接続されている。

【0097】最後に、図21に示すように、これら電氣的接点(Au膜27及び接地端子として利用される部分28b)に電圧信号に対するワイヤ32、33及び電流パルスに対するワイヤ34、35をボンディングし、これをCuヒートシンクに固着してメモリー装置を完成した。

【0098】作製したメモリー装置について、その特性を測定した。結果を以下に示す。

【0099】

～30%
 $H_u = +2K_u/M_s \sim 100e$
 $\sim 1.9 \times 10^{15} \text{ cm}^{-2}$
 ~ 0.01
 $\sim 8 \times 10^3 \text{ A/cm}^2$
 $\sim 16 \text{ m}\Omega$
 $\sim 0.3 \text{ nV}$
 $\sim 2 \times 10^4 \text{ A/cm}^2$
 $\sim 0.1 \mu \text{ 秒}$
 $\sim 0.1 \text{ pW}$
 $\sim 4 \times 10^3 \text{ A/cm}^2$
 $\sim 6.4 \mu \text{ A}, 1 \text{ Hz}$
 $\sim (800 \mu \Omega / 16 \text{ m}\Omega)$
 $\sim 5 \text{ nV}$
 【図4】xyアドレス方式の配線状態を模式的に示す斜視図である。

【図5】平行磁化整合から反平行磁化整合への書き込み動作を示す模式図である。

【図6】反平行磁化整合から平行磁化整合への書き込み動作を示す模式図である。

【図7】平行磁化整合状態における読み出し信号を示す模式図である。

【図8】反平行磁化整合状態における読み出し信号を示す模式図である。

【図9】メモリーセルの製造工程を工程順に従って示すもので、Si基板へのAu膜の成膜状態を示す概略平面図である。

【図10】Si基板へのAu膜の成膜状態を示す概略断面図である。

【図11】レジスト層の形成工程を示す概略断面図である。

【図12】多層膜の成膜工程を示す概略断面図である。

【図13】多層膜のリフトオフ工程を示す概略断面図である。

【図14】リフトオフにより残存する多層膜のパターン形状を示す概略平面図である。

【図15】絶縁膜の形成工程を示す概略断面図である。

【図16】絶縁膜のエッチング工程を示す概略断面図である。

【図17】フォトリソ層の形成工程を示す概略断面図である。

【図18】Au膜の成膜工程を示す概略断面図である。

【図19】Au膜のリフトオフ工程を示す概略斜視図で

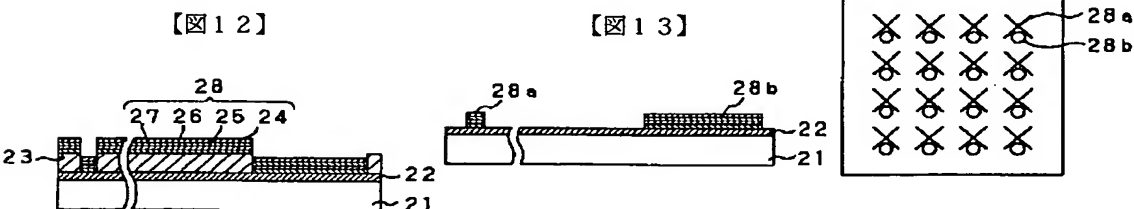
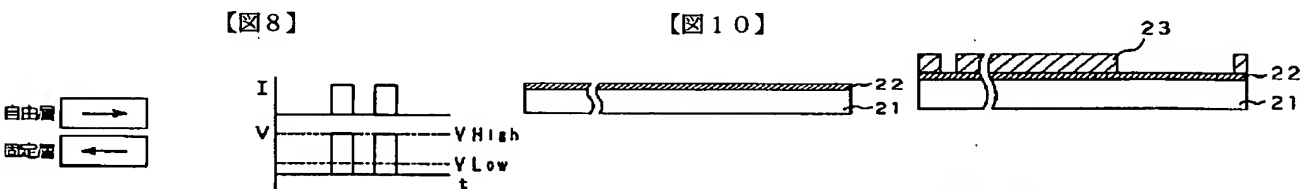
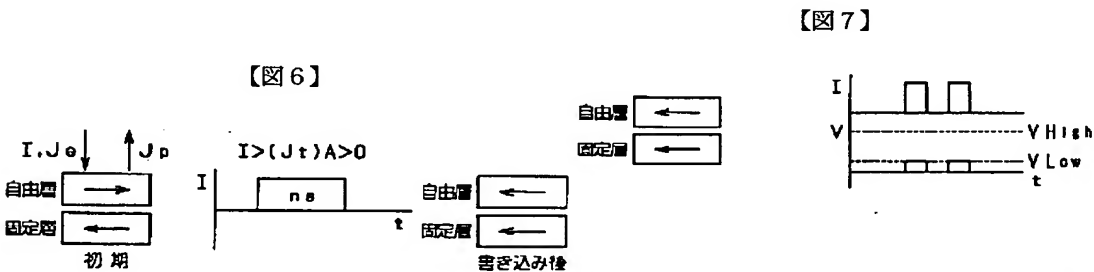
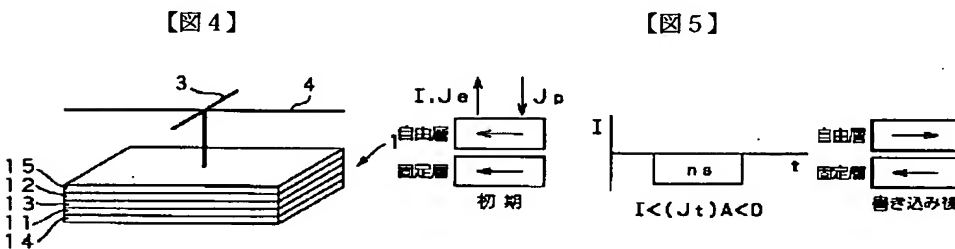
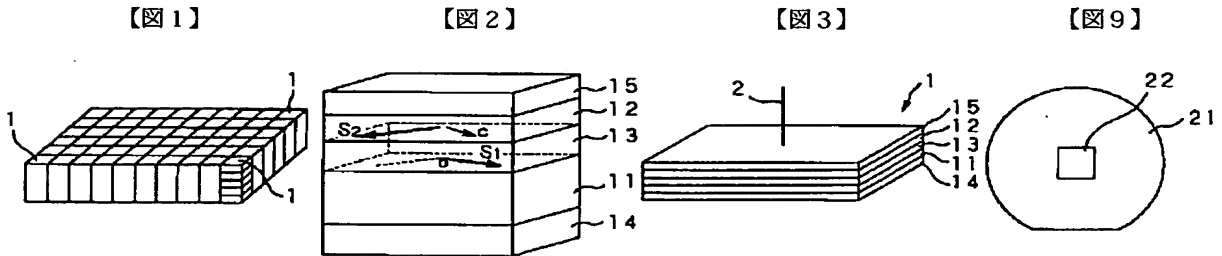
ある。

【図20】リフトオフ後のパターン形状を示す概略平面図である。

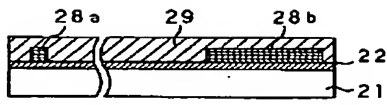
【図21】電氣的接点へのワイヤの接続工程を模式的に示す概略断面図である。

【符号の説明】

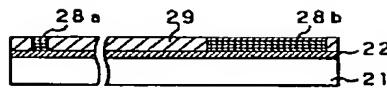
1 メモリーセル、11 固定層、12 自由層、13 常磁性層、14、15常磁性金属層



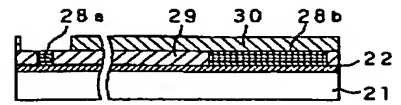
【図15】



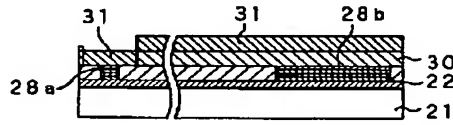
【図16】



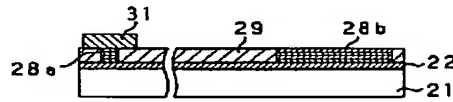
【図17】



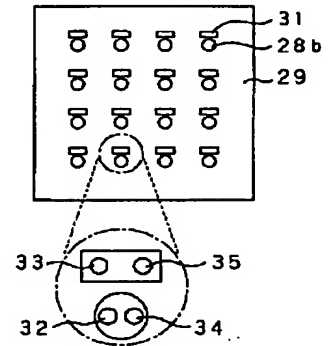
【図18】



【図19】



【図20】



【図21】

